

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

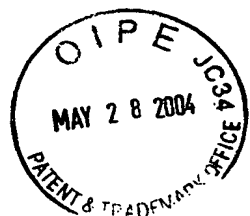
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

9FW



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,636	
	Filing Date	05/19/2004	
	First Named Inventor	Chi-Kun Chiu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	MTKP0063USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks <input style="width: 100%;" type="text"/>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	5/27/2004

CERTIFICATE OF TRANSMISSION/MAILING		
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.		
Typed or printed name		
Signature		Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

5



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,636
Filing Date	05/19/2004
First Named Inventor	Chi-Kun Chiu
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0063USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☒ None

☒ Deposit Account:

Deposit
Account
Number
Deposit
Account
Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	=
Independent Claims	-3** =	X	=
Multiple Dependent			

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	5/27/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

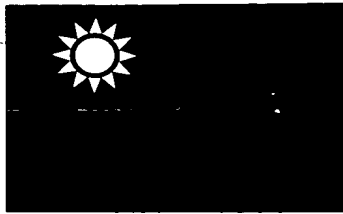
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092113647	Taiwan R.O.C	05/20/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 20 日
Application Date

申請案號：092113647
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 4 日
Issue Date

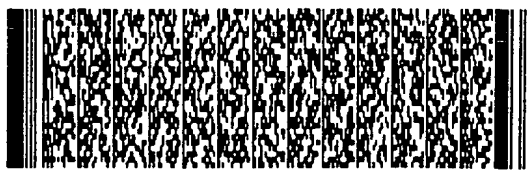
發文字號：09220785730
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	低雜訊快速穩定之穩壓電路
	英文	Low Noise Fast Stable Voltage Regulator Circuit
二、月人 (共2人)	姓名 (中文)	1. 邱繼崑 2. 蕭啟明
	姓名 (英文)	1. Chiu, Chi-Kun 2. Hsiao, Chi-Ming
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣平鎮市延平路三段一〇四巷一弄三十八號 2. 台中市南區工學北路一四一號十樓之三
	住居所 (英文)	1. No. 38, Alley 1, Lane 104, Sec. 3, Yen-Ping Rd., Ping-Cheng City, Tao-Yuan Hsien, Taiwan, R.O.C. 2. 10F-3, No. 141, Kung-Hsueh N. Rd., Tai-Chung City, Taiwan, R.O.C.
三、青人 (共1人)	名稱或姓名 (中文)	1. 聯發科技股份有限公司
	名稱或姓名 (英文)	1. MediaTek Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

一種低雜訊穩壓電路，可快速輸出低雜訊的穩定電壓。該低雜訊穩壓電路包含一參考電壓產生器，用來輸出一參考電壓；一兩狀態切換電路，電連接於該參考電壓產生器；一穩壓電路，電連接於該兩狀態切換電路。該兩狀態切換電路具有一第一狀態與一第二狀態，其處於該第一狀態時該參考電壓未經濾波直接偶合到該穩壓電路之電壓比較器；處於該第二狀態時該參考電壓經過一 RC 低通濾波器再送到該電壓比較器，藉由一開關控制信號切換該兩狀態切換電路於該第一狀態及該第二狀態；經過濾波後的參考電壓用來產生該穩壓電路之低雜訊輸出電壓。

五、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

A low noise voltage regulator circuit with fast stable output voltage. The voltage regulator circuit contains a reference voltage generator, for generating a reference voltage; a two-states switching circuit which is electrically connected to the output of reference voltage generator and has two states; and a voltage regulator. When the switching circuit is at a first state, the



四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

200 低雜訊穩壓電路

220 兩狀態切換電路

250 第一節點

270 第三節點

210 參考電壓產生器

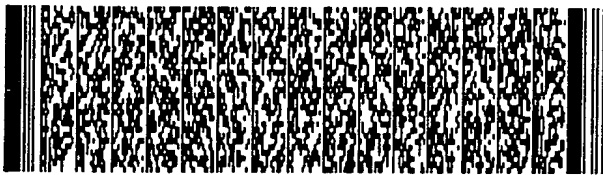
230 穩壓電路

260 第二節點

280 開關控制信號

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

reference voltage is coupled to a voltage comparator of the voltage regulator without filtering; when the switching circuit is at a second state, the reference voltage is filtered by a low pass filter before it is coupled to the voltage comparator. A switch-controlling signal is used to switch the two-state switching circuit between the two states. The filtered reference



四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

voltage is used to generate a low noise regulated output voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

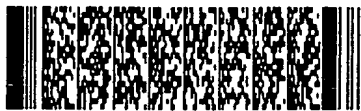
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

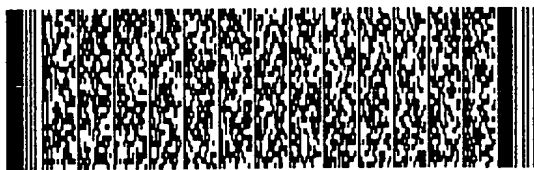
本發明提供一種低雜訊穩壓電路，尤指一種利用一具有兩種狀態之切換電路，以加速電壓穩定並抑制雜訊之低雜訊穩壓電路。

先前技術

於目前市面上之各種電子產品中，常常會使用到穩壓電路來執行電壓調整的工作，為了抑制參考電壓中的雜訊，通常會在穩壓電路中的電壓比較器前方加上一 RC 低通濾波器，以抑制雜訊，使得穩壓電路能產生低雜訊之輸出電壓。

但 RC 低通濾波器除了具有抑制雜訊的功能外，同時也會對處理的信號產生一 RC 時間延遲，這加入的時間延遲會導致該穩壓電路花費更久的時間才能將電壓調整至穩定。

請參閱圖一，圖一為習知之低雜訊穩壓電路之示意圖。在圖一中顯示了一個典型的低雜訊穩壓電路 100，其包含有一參考電壓產生器 110，電連接於一第一節點 150，其可產生一參考電壓 V_r ，並將參考電壓 V_r 自第一節點 150 輸出；一 RC 低通濾波器 120，電連接於第一節點 150



五、發明說明 (2)

與一第二節點 160，於第一節點 150 接收參考電壓 V_r ，抑制其雜訊，於第二節點 160 輸出處理過的一低雜訊電壓 V_{ln} ；一穩壓電路 130，電連接於第二節點 160 與一第三節點 170，於第二節點 160 接收低雜訊電壓 V_{ln} ，並將一低雜訊穩定輸出電壓 V_{reg} 自第三節點 170 輸出。

若參考電壓產生器 110 於一時間點 t_0 開始輸出參考電壓 V_r ，由於 RC 低通濾波器 120 所導致的時間延遲效應，低雜訊電壓 V_{ln} 必須經過一段時間 Δt 才能充電到參考電壓 V 在時間點 t_0 的值，其中 $\Delta t > 0$ 。因此即使參考電壓 V 於時間點 t_0 已經穩定，但是仍必須等到時間點 $t_0 + \Delta t$ 時才會產生低雜訊電壓 V_{ln} ，穩壓電路 130 才會輸出穩定的低雜訊穩定輸出電壓 V_{reg} ，這個 Δt 的時間延遲即造成整體電路速度的下降。

穩壓電路的輸出電壓延遲使得其他使用該輸出電壓的耗電電路無法做及時的開關切換而造成電池的壽命減短。因此該 RC 低通濾波器對信號造成的時間延遲效應係習知技術的一主要缺點。

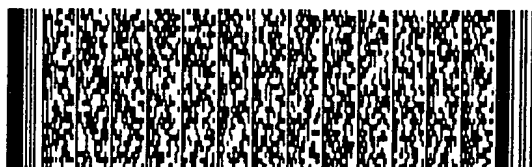
發明內容

因此本發明之主要目的在於提供一種具有兩種切換狀態之低雜訊穩壓電路，用來解決上述習知技術中時間



延遲的問題。

相較於習知技術，本發明之低雜訊穩壓電路中的兩狀態切換電路具有兩種不同的狀態，該兩狀態切換電路於第一狀態時等效於電壓隨耦器，將參考電壓未經濾波



五、發明說明 (4)

偶合到下一級的電壓比較器；於第二狀態時等效於一低通濾波器，進行抑制雜訊的功能。藉由此兩種狀態的切換，本發明可達成加快輸出電壓的穩定速度，同時達成抑制雜訊的需求。

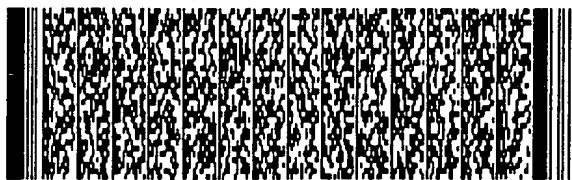
實施方式

請參閱圖二，圖二為本發明之低雜訊穩壓電路之示意圖。在圖二中顯示了本發明之一低雜訊穩壓電路 200，其包含有一參考電壓產生器 210，電連接於一第一節點 250，用來產生一第一電壓信號，並將該第一電壓信號自第一節點輸出 250；一兩狀態切換電路 220，電連接於第一節點 250、一第二節點 260 及一開關控制信號 280，用來自第一節點 250 接收該第一電壓信號，處理該第一電壓信號成為一第二電壓信號，並將該第二電壓信號自第二節點 260 輸出，其中兩狀態切換電路 220 可藉由開關控制信號 280 切換於一第一狀態及一第二狀態之間，當處於該第一狀態時，兩狀態切換電路 220 等效於一電壓隨耦器，將第一電壓信號未經濾波偶合到第二電壓信號、當處於該第二狀態時，兩狀態切換電路 220 等效於一 RC 低通濾波器，將該第一電壓信號進行抑制雜訊處理後，成為第二電壓信號；以及一穩壓電路 230，電連接於第二節點 260 及一第三節點 270，用來接收該第二電壓信號，調整該第二電壓信號，並自第三節點 270 輸出一第三電壓信號。



接下來將詳細描述本發明之低雜訊穩壓電路 200 的動作原理。當參考電壓產生器 210 剛開始輸出電壓信號的初期，兩狀態切換電路 220 處於該第一狀態，此時第一電壓信號因未經 RC 濾波器的時間延遲偶合到第二電壓信號，所以穩壓電路 230 的參考電壓輸入未經時間延遲，因而能快速輸出穩定的電壓，即第三電壓信號，因此整個電路可以很快調整至穩定；當整個電路已經調整至穩定後，兩狀態切換電路 220 再切換至該第二狀態，由於 RC 低通濾波器所造成的時間延遲已不會對穩壓電路 230 的參考電壓造成影響，穩壓電路 230 輸出電壓可維持穩定輸出，同時可對參考電壓進行抑制雜訊的動作而達到低雜訊電壓輸出的目的。

請參閱圖三，圖三為圖二中之兩狀態切換電路之一實施方式示意圖。在圖三中顯示了圖二之兩狀態切換電路 220 的一種實施方式，其包含有一電阻 R，第一端電連接至第一節點 250，第二端電連接於第二節點 260；一電容 C，第一端電連接於一第四節點 390，第二端接地；以及一開關電路 321，電連接於第一節點 250、第二節點 260、第四節點 390 及開關控制信號 280，可藉由開關控制信號 280 切換兩狀態切換電路 220 於該第一狀態及該第二狀態之間，當兩狀態切換電路 220 處於該第一狀態時，保持第一節點 250 與第四節點 390 相互導通，此時第一節點



五、發明說明 (6)

250上之該第一電壓信號可未經濾波偶合至第二節點260，因此兩狀態切換電路220等效於一電壓隨耦器；當兩狀態切換電路220處於該第二狀態時，保持第二節點260與第四節點390相互導通，此時兩狀態切換電路220即等效為一RC低通濾波器。

參閱圖四，圖四為圖三中開關電路實施方式之示意圖。其中圖三之開關電路在圖四中以一第一開關422及一第二開關423來實現。第一開關422電連接於第一節點250與第四節點390之間，利用開關控制信號280控制其開啟關閉，當兩狀態切換電路220處於該第一狀態時，開關控制信號280保持第一開關422處於關閉狀態，使第一節點250與第四節點390相互導通、當兩狀態切換電路220處於該第二狀態時，開關控制信號280保持第一開關422處於開啟狀態。第二開關423電連接於第二節點260與第四節點390之間，利用開關控制信號280控制其開啟關閉，當兩狀態切換電路220處於該第一狀態時，開關控制信號280保持第二開關423處於開啟狀態、當兩狀態切換電路220處於該第二狀態時，開關控制信號280保持第二開關423處於關閉狀態，使第二節點260與第四節點390相互導通。因此圖四之電路可以滿足圖三的兩狀態切換電路220處於兩種不同狀態時的要求。

請參閱圖五，圖五為圖四電路之一實施方式示意



五、發明說明 (7)

圖。在圖五中我們以一 PMOS電晶體 522實現圖四中之第一開關 422，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連結於第四節點 390；以一 NMOS電晶體 523實現圖四中之第二開關 423，其閘極電連接於開關控制信號 280，第一端電連接於第二節點 260，第二端電連結於第四節點 390。為了滿足兩狀態切換電路 220在兩種不同狀態下所需功能的要求，於兩狀態切換電路 220處於第一狀態時，該 PMOS電晶體 522之第一端與第二端間必須相互導通、且該 NMOS電晶體 523之第一端與第二端間不能導通，因此輸入該 PMOS電晶體 522閘極與該 NMOS電晶體 523閘極之開關控制信號 280需處於低電位；於兩狀態切換電路 220處於該第二狀態時 PMOS電晶體 522之第一端與第二端間不能導通、且 NMOS電晶體 523之第一端與第二端間必須相互導通，因此開關控制信號 280需處於高電位，如此的開關控制信號 280除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖六所示，以回授方式取得。

請參閱圖六，圖六為配合圖五電路之回授電路示意圖。在圖六中一反相器鍊結 681之輸入端電連接於圖二中穩壓電路 230之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270之第三電壓信號，回授圖五所需之開關控制信號 280。在穩壓電路 230的輸出電壓尚未調整至穩定前，該第三電壓信號係處於低電位，



五、發明說明 (8)

為了加快電壓的調整，兩狀態切換電路 220 需處於該第一狀態；在該電路電壓調整至穩定後，該第三電壓信號係處於高電位，兩狀態切換電路 220 需處於該第二狀態，以使整個電路同時可抑制雜訊並調整電壓。因此反相器鍊結 681 需包含有偶數個反相器，以使開關控制信號 280 可正確地切換兩狀態切換電路 220 於不同狀態。

請參閱圖七，圖七為圖四電路之一實施方式示意圖。如圖七所示，我們將圖五中 PMOS 電晶體 522 以圖七中一 NMOS 電晶體 722 取代，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連結於第四節點 390；圖五中 NMOS 電晶體 523 以圖七中一 PMOS 電晶體 723 取代，其閘極電連接於開關控制信號 280，第一端電連接於第二節點 260，第二端電連結於第四節點 390。此時為了滿足兩狀態切換電路 220 在兩種不同狀態下所需功能的要求，於其處於該第一狀態時，開關控制信號 280 需處於高電位、於其處於該第二狀態時，開關控制信號 280 需處於低電位。此時該開關控制信號 280 除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可如圖八所示，用類似圖六所示之方式，以回授方式取得。

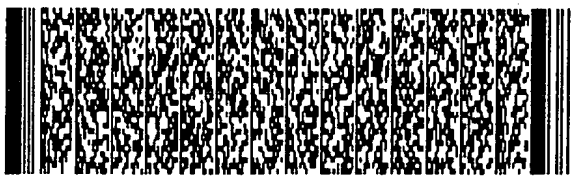
請參閱圖八，圖八為配合圖七電路之回授電路示意圖。在圖八中一反相器鍊結 881 之輸入端電連接於圖二中



五、發明說明 (9)

穩壓電路 230 之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270 之第三電壓信號，回授圖七所需之開關控制信號 280。可參考對於圖六之敘述，不同於圖六之處在於：圖八中反相器鍊結 881 係包含有奇數個反相器，以使該開關控制信號 280 可正確地切換兩狀態切換電路 220 於不同狀態。

除了圖三之外，圖二中之兩狀態切換電路的亦可以有其他的實施方式。請參閱圖九，圖九為圖二中之兩狀態切換電路之一實施方式示意圖。圖九中兩狀態切換電路 220 包含有一電阻 R ，第一端電連接於第一節點 250，第二端電連接於第二節點 260；一電容 C ，第一端電連接於第二節點 260，第二端接地；一開關 922，電連接於第一節點 250 與第二節點 260 之間，可藉由該開關控制信號 280 切換開關 922 之狀態，以切換兩狀態切換電路 220 於該第一狀態及該第二狀態之間，當兩狀態切換電路 220 處於該第一狀態時，開關控制信號 280 保持開關 922 處於關閉狀態，使第一節點 250 與第二節點 260 相互導通，此時第二節點 260 上之該第二電壓信號係等於第一節點 250 上之該第一電壓信號，因此兩狀態切換電路 220 係等效於一電壓隨耦器；當兩狀態切換電路 220 處於該第二狀態時，開關控制信號 280 保持開關 922 處於開啟狀態，此時兩狀態切換電路 220 即成為一 RC 低通濾波器。由上述可之，圖九之兩狀態切換電路 220 可滿足我們對於兩種狀態下不同功能



五、發明說明 (10)

的要求。

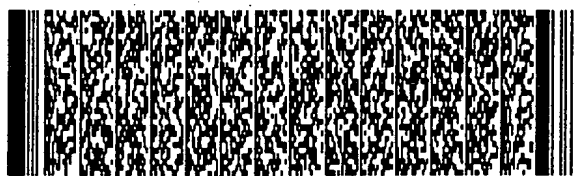
請參閱圖十，圖十為圖九電路之一實施方式示意圖。在圖十中我們使用一 NMOS電晶體 924來實現圖九中之開關 922，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連結於第二節點 260。為了滿足兩狀態切換電路 220在兩種不同狀態下所需功能的要求，於兩狀態切換電路 220處於第一狀態時，NMOS電晶體 924之第一端與第二端間必須相互導通，因此輸入 NMOS電晶體 924閘極之開關控制信號 280需處於高電位；於兩狀態切換電路 220處於該第二狀態時，NMOS電晶體 924之第一端與第二端間不能導通，因此開關控制信號 280需處於低電位，如此的開關控制信號 280除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖十一所示，以回授方式取得。

請參閱圖十一，圖十一為配合圖十電路之回授電路示意圖。在圖十一中一反相器鍊結 925之輸入端電連接於圖二中穩壓電路 230之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270之第三電壓信號，回授圖十所需之開關控制信號 280。參考對於圖六及圖八中回授電路的敘述，我們可以知道於圖十一中反相器鍊結 925係包含有奇數個反相器，以使該開關控制信號 280可正確地切換兩狀態切換電路 220於不同狀態。



請參閱圖十二，圖十二為圖九電路之一實施方式示意圖。類似圖十的方式，圖十二所示是使用一 PMOS電晶體 926來實現圖九中之開關 922。PMOS電晶體 926之閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連結於第二節點 260。為了滿足兩狀態切換電路 220在兩種不同狀態下所需功能的要求，於兩狀態切換電路 220處於該第一狀態時，PMOS電晶體 926之第一端與第二端間必須相互導通，因此輸入 PMOS電晶體 926閘極之開關控制信號 280需處於低電位；於兩狀態切換電路 220處於該第二狀態時，PMOS電晶體 926之第一端與第二端間不能導通，因此開關控制信號 280需處於高電位，如此的開關控制信號 280除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖十三所示，以回授方式取得。

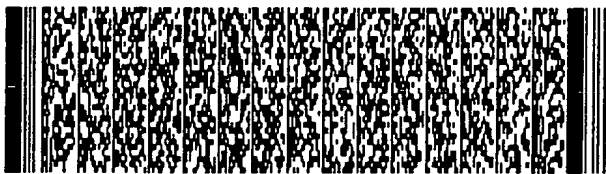
請參閱圖十三，圖十三為配合圖十二電路之回授電路示意圖。在圖十三中一反相器鍊結 927之輸入端電連接於圖二中穩壓電路 230之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270之第三電壓信號，回授圖十二所需之開關控制信號 280。可參考對於圖六、圖八及圖十一之敘述，於圖十三中反相器鍊結 927係包含有偶數個反相器，以使該開關控制信號 280可正確地切換兩狀態切換電路 220於不同狀態。



五、發明說明 (12)

相較於習知技術，本發明之低雜訊穩壓電路中的兩狀態切換電路具有兩種不同的狀態，該兩狀態切換電路除了可以於第二狀態時等效於一RC低通濾波器，進行抑制雜訊的功能；亦可以切換成一等效於電壓隨耦器之第一狀態，以加速電壓信號的傳遞。藉由此兩種狀態的切換，本發明可達成加速電壓穩定並抑制雜訊之低雜訊穩壓電路。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。章節結束



圖式簡單說明

圖式之簡單說明

圖一為習知之低雜訊穩壓電路之示意圖。

圖二為本發明之低雜訊穩壓電路之示意圖。

圖三為圖二中之兩狀態切換電路之一實施方式示意圖。

圖四為圖三中開關電路實施方式之示意圖。

圖五為圖四電路之一實施方式示意圖。

圖六為配合圖五電路之回授電路示意圖。

圖七為圖四電路之一實施方式示意圖。

圖八為配合圖七電路之回授電路示意圖。

圖九為圖二中之兩狀態切換電路之一實施方式示意圖。

圖十為圖九電路之一實施方式示意圖。

圖十一為配合圖十電路之回授電路示意圖。

圖十二為圖九電路之一實施方式示意圖。

圖十三為配合圖十二電路之回授電路示意圖。

圖式之符號說明

100、200 低雜訊穩壓電路

110、210 參考電壓產生器

120 RC低通濾波器

130、230 穩壓電路



圖式簡單說明

150、250	第一節點		
160、260	第二節點		
170、270	第三節點		
220	兩狀態切換電路	280	開關控制信號
321	開關電路	390	第四節點
422	第一開關	423	第二開關
522、723、926	PMOS電晶體		
523、722、924	NMOS電晶體		
681、881、925、927	反相器鍊結		
922	開關		



六、申請專利範圍

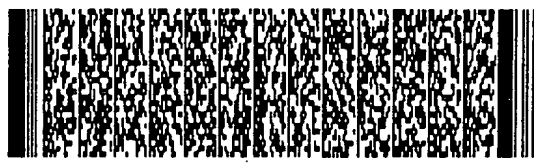
1. 一種低雜訊穩壓電路，可以快速輸出低雜訊的穩定電壓，該低雜訊穩壓電路包含有：

一參考電壓產生器，電連接於一第一節點，用來產生一第一電壓信號，並將該第一電壓信號自該第一節點輸出；

一兩狀態切換電路，電連接於該第一節點、一第二節點及一開關控制信號，用來自該第一節點接收該第一電壓信號，處理該第一電壓信號，電壓信號成為一第二節點輸出，其中該兩狀態及一電壓信號，並將該第二電壓信號自該第二節點輸出，該第一電壓信號及該第二電壓信號之狀態，當處於該第一狀態時，該兩狀態切換電路係等效於一電壓信號、當處於該第二狀態時，該兩狀態切換電路係等效於一RC低通濾波器，將該第一電壓信號進行抑制雜訊處理後，成為第二電壓信號；以及一穩壓電路，電連接於該第二節點及一第三節點，用來於該第二節點接收該第二電壓信號後自該第三節點輸出一第三電壓信號。

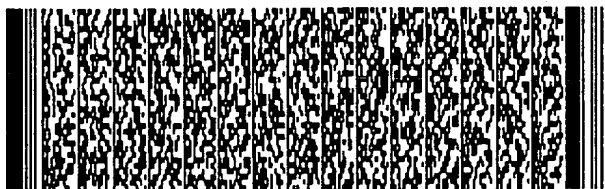
2. 如申請專利範圍第1項所述之低雜訊穩壓電路，其中該兩狀態切換電路包含有：

一電阻，第一端電連接於該第一節點，第二端電連接於該第二節點；



六、申請專利範圍

一電容，第一端電連接於一第四節點，第二端接
地；以及
一開關電路，電連接於該第一節點、該第二節點、
該第四節點及該開關控制信號，可藉由該開關控制信、號
該第四節點兩狀態切換電路於該第一狀態及該第二狀態之
切換，當該兩狀態切換電路處於該第一狀態時，保持該第
一節點與該第二狀態切換電路相互導通。
一電容，第一端電連接於一第四節點，第二端接
地；以及
一開關電路，電連接於該第一節點、該第二節點、
該第四節點及該開關控制信號，可藉由該開關控制信、號
該第四節點兩狀態切換電路於該第一狀態及該第二狀態之
切換，當該兩狀態切換電路處於該第一狀態時，保持該第
一節點與該第二狀態切換電路相互導通。

[illegible]

六、申請專利範圍

4. 如申請專利範圍第3項所述之低雜訊穩壓電路，其中：

該第一開關為一PMOS電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第一節點，第二端電連結於該第四節點；

該第二開關為一NMOS電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第二節點，第二端電連結於該第四節點；

其中當該兩狀態切換電路處於該第一狀態時，該開關控制信號位於低電位、當該兩狀態切換電路處於該第二狀態時，該開關控制信號位於高電位。

5. 如申請專利範圍第4項所述之低雜訊穩壓電路，其另包含有一反相器鏈結，該反相器鏈結包含偶數個串聯之反相器，該反相器鏈結之輸入端電連接於該第三節點，輸出端輸出該開關控制信號，係電連接於該PMOS電晶體之閘極及該NMOS電晶體之閘極，用來將該第三電壓信號處理並回授成為該開關控制信號。

6. 如申請專利範圍第3項所述之低雜訊穩壓電路，其中：

該第一開關為一NMOS電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第一節點，第二端電連結於



六、申請專利範圍

該第四節點；

該第二開關為一 PMOS 電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第二節點，第二端電連結於該第四節點；

其中當該兩狀態切換電路處於該第一狀態時，該開關控制信號位於高電位，當該兩狀態切換電路處於該第二狀態時，該開關控制信號位於低電位。

7. 如申請專利範圍第 6 項所述之低雜訊穩壓電路，其另包含有一反相器鏈結，該反相器鏈結包含奇數個串聯之反相器，該反相器鏈結之輸入端電連接於該第三節點，輸出端輸出該開關控制信號，係電連接於該 NMOS 電晶體之閘極及該 PMOS 電晶體之閘極，用來將該第三電壓信號處理並回授成為該開關控制信號。

8. 如申請專利範圍第 1 項所述之低雜訊穩壓電路，其中該兩狀態切換電路包含有：

一電阻，第一端電連接於該第一節點，第二端電連接於該第二節點；

一電容，第一端電連接於該第二節點，第二端接地；

一開關，電連接於該第一節點與該第二節點之間，可藉由該開關控制信號切換該開關之狀態，以切換該兩狀態切換電路於該第一狀態及該第二狀態之間，當該兩狀態切換電路處於該第一狀態時，該開關控制信號保持該開



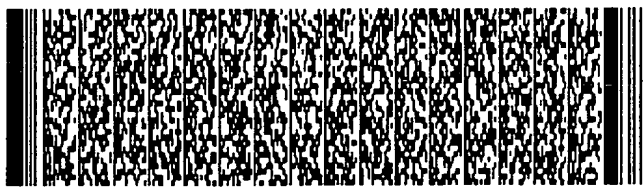
六、申請專利範圍

關處於關閉狀態，使該第一節點與該第二節點相互導通、當該兩狀態切換電路處於該第二狀態時，該開關控制信號保持該開關處於開啟狀態。

9. 如申請專利範圍第8項所述之低雜訊穩壓電路，其中該開關為一NMOS電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第一節點，第二端電連結於該第二節點，當該兩狀態切換電路處於該第一狀態時，該開關控制信號位於高電位，當該兩狀態切換電路處於該第二狀態時，該開關控制信號位於低電位。

10. 如申請專利範圍第9項所述之低雜訊穩壓電路，其中另包含有一反相器鏈結，該反相器鏈結包含奇數個串聯之反相器，該反相器鏈結之輸入端電連接於該第三節點，輸出端輸出該開關控制信號，係電連接於該NMOS電晶體之閘極，用來將該第三電壓信號處理並回授成為該開關控制信號。

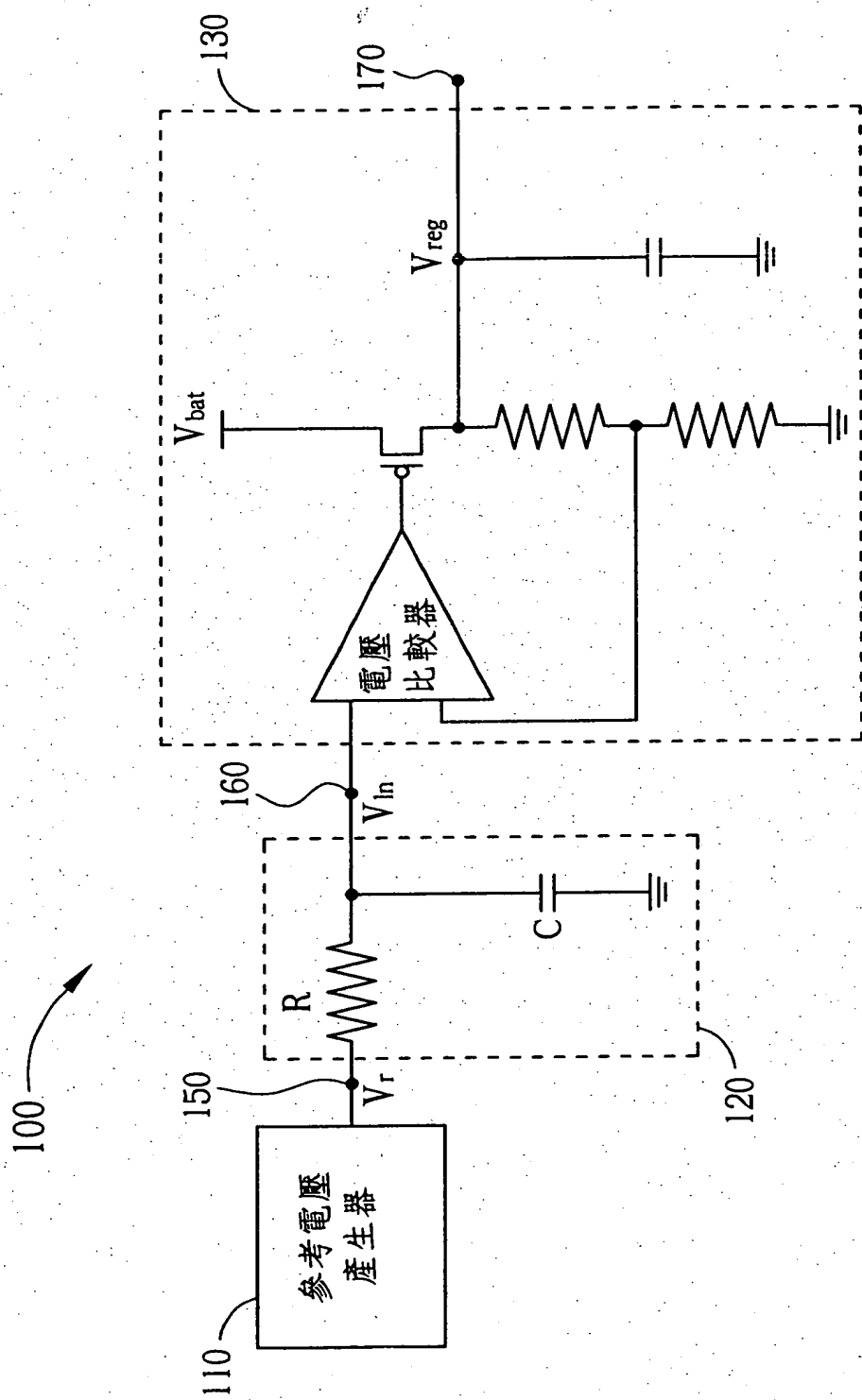
11. 如申請專利範圍第8項所述之低雜訊穩壓電路，其中該開關為一PMOS電晶體，其閘極電連接於該開關控制信號，第一端電連接於該第一節點，第二端電連結於該第二節點，當該兩狀態切換電路處於該第一狀態時，該開關控制信號位於低電位，當該兩狀態切換電路處於該第二狀態時，該開關控制信號位於高電位。



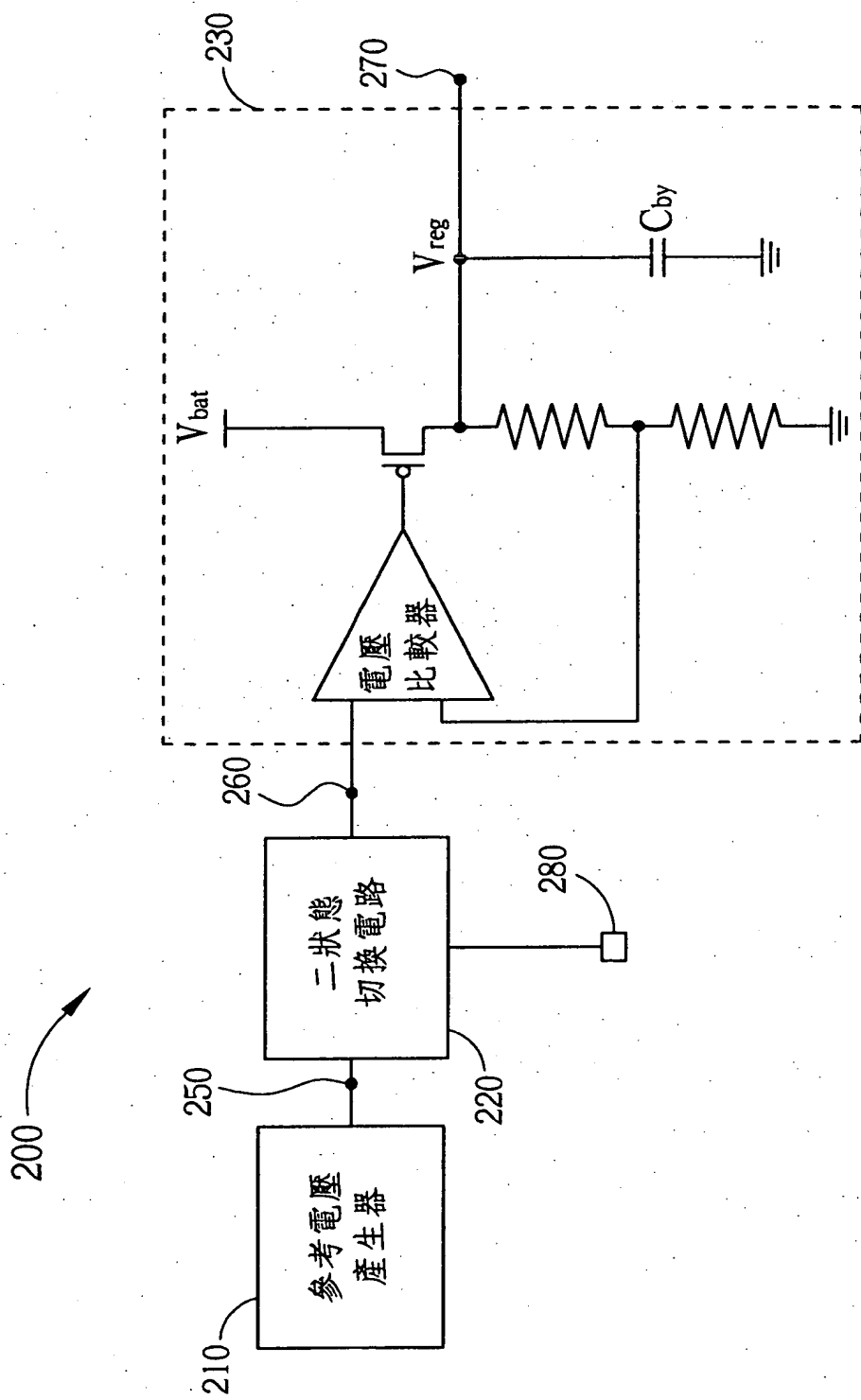
六、申請專利範圍

12. 如申請專利範圍第 11 項所述之低雜訊穩壓電路，其中另包含有一反相器鏈結，該反相器鏈結包含偶數個串聯之反相器，該反相器鏈結之輸入端電連接於該第三節點，輸出端輸出該開關控制信號，係電連接於該 PMOS 電晶體之閘極，用來將該第三電壓信號處理並回授成為該開關控制信號。

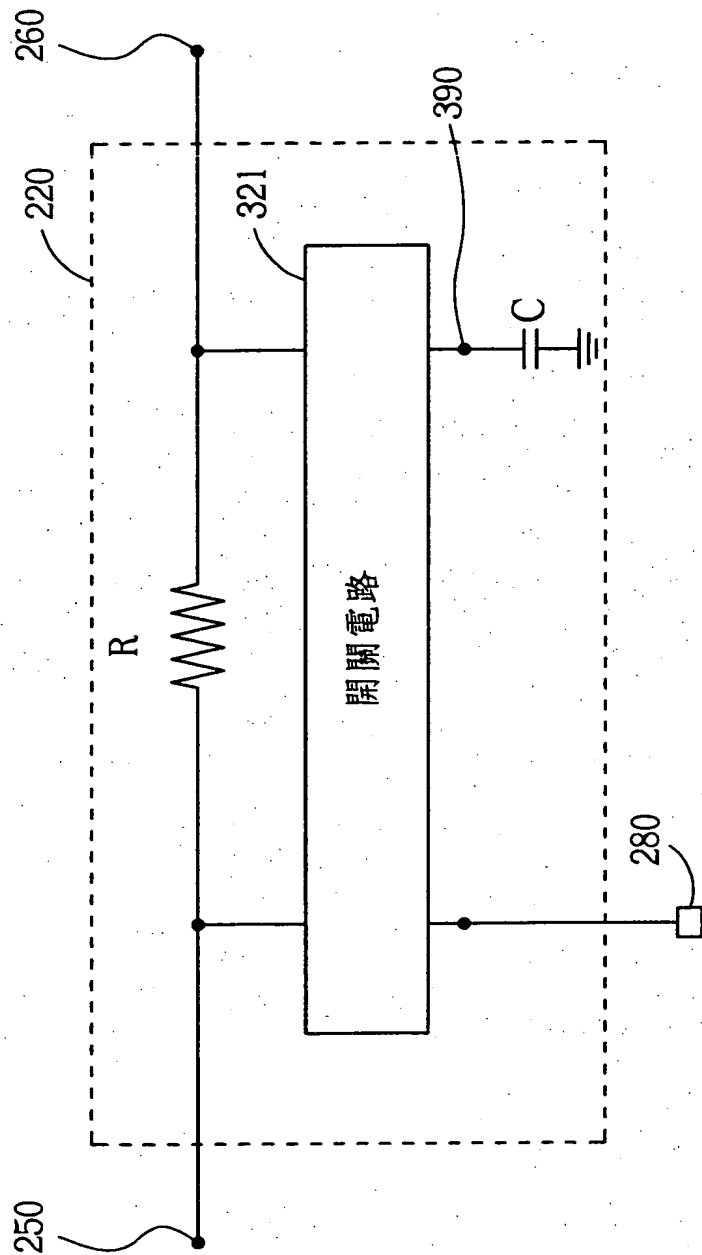




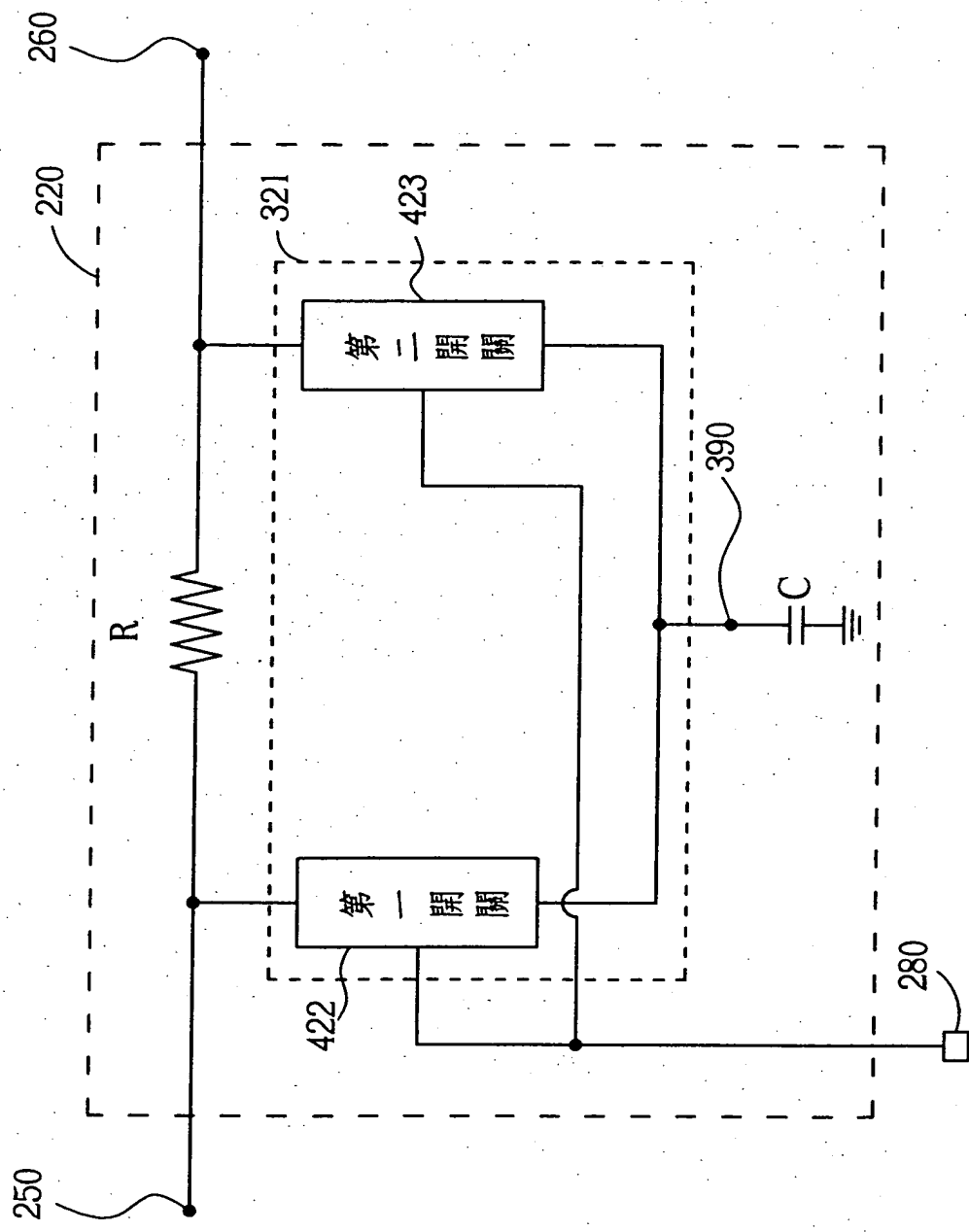
圖一



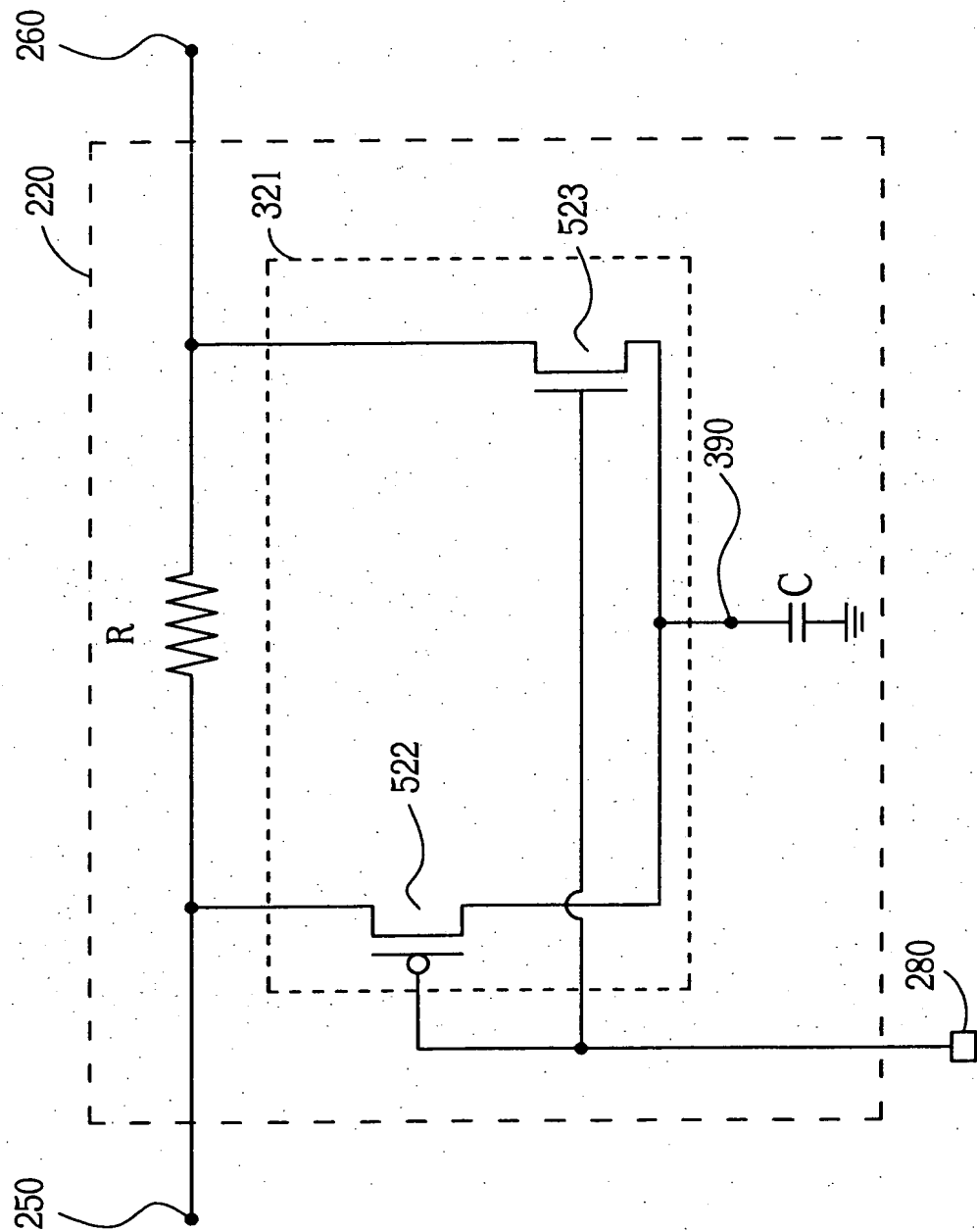
圖二



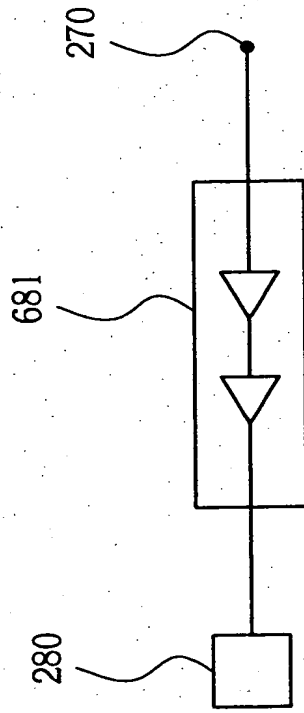
圖三



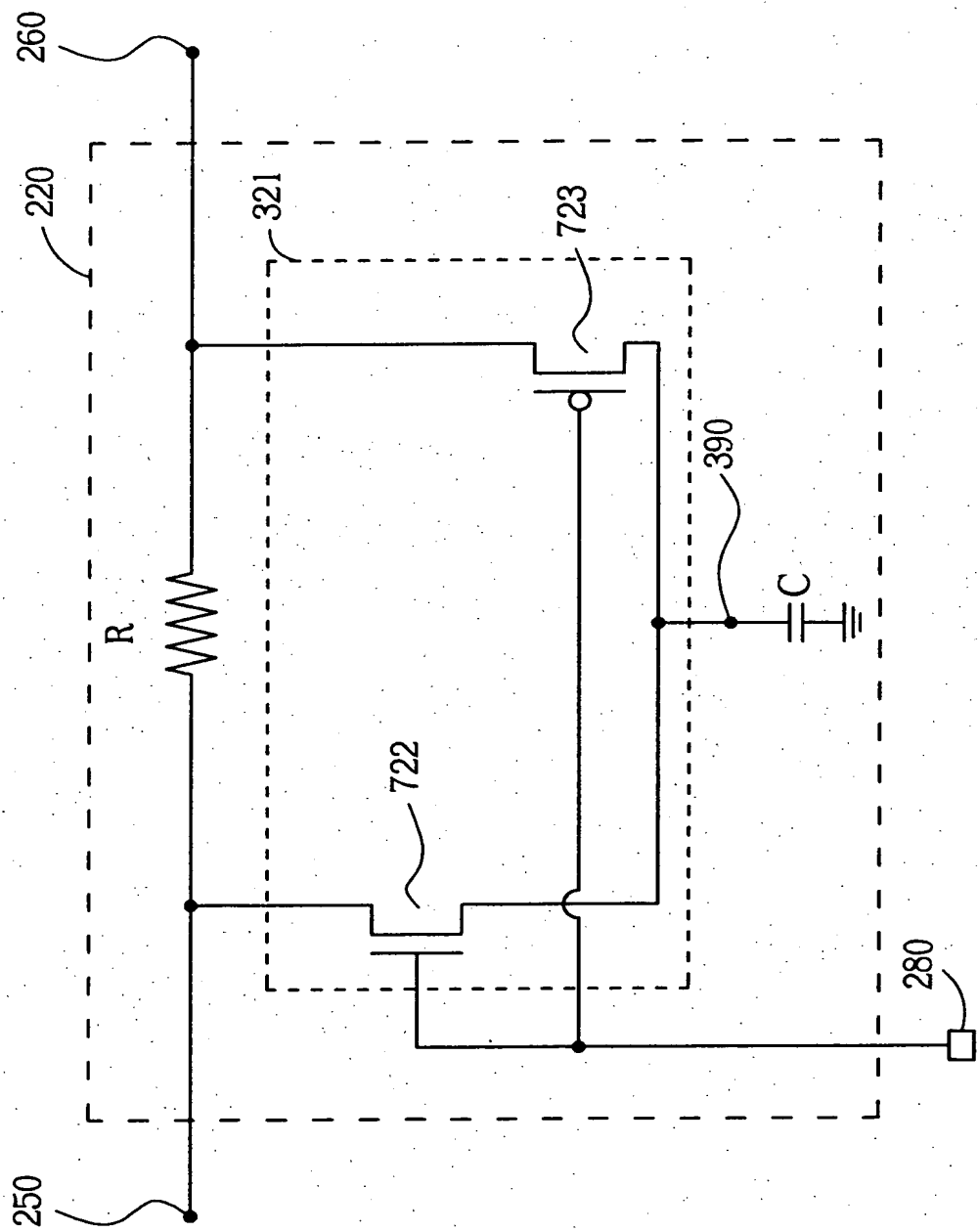
圖四



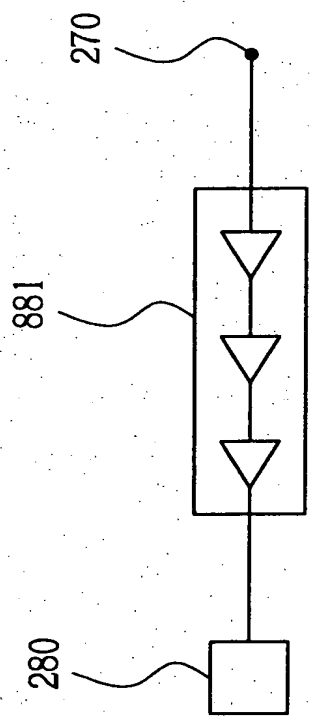
圖五



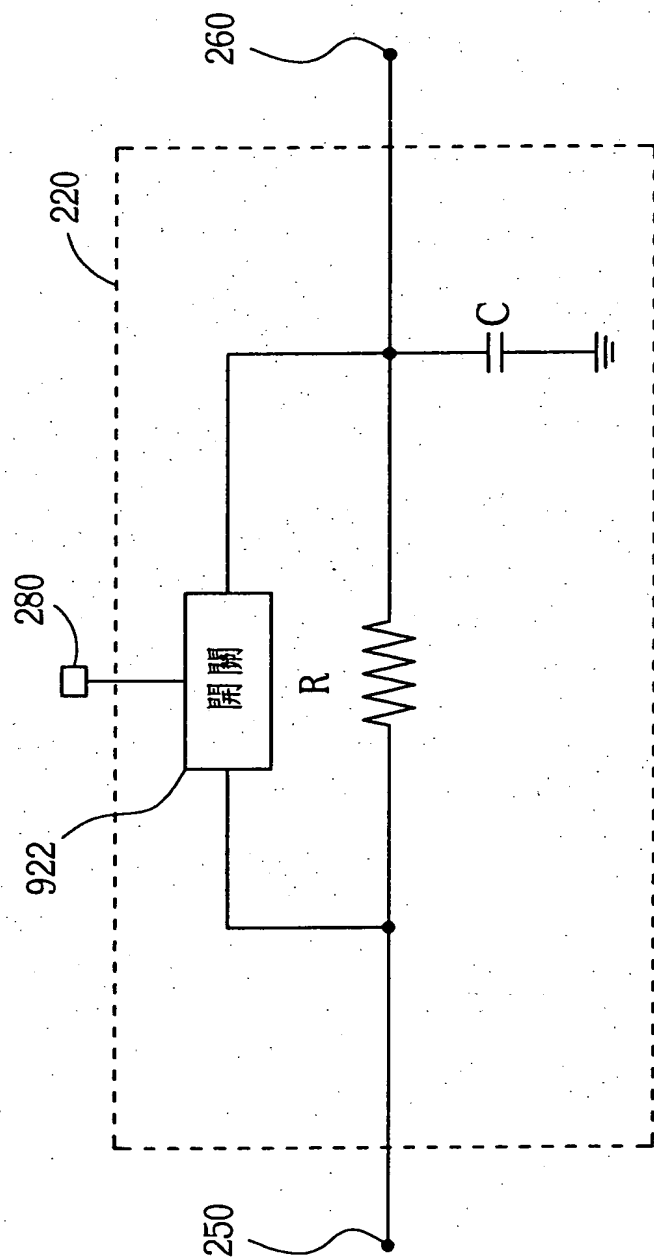
圖六



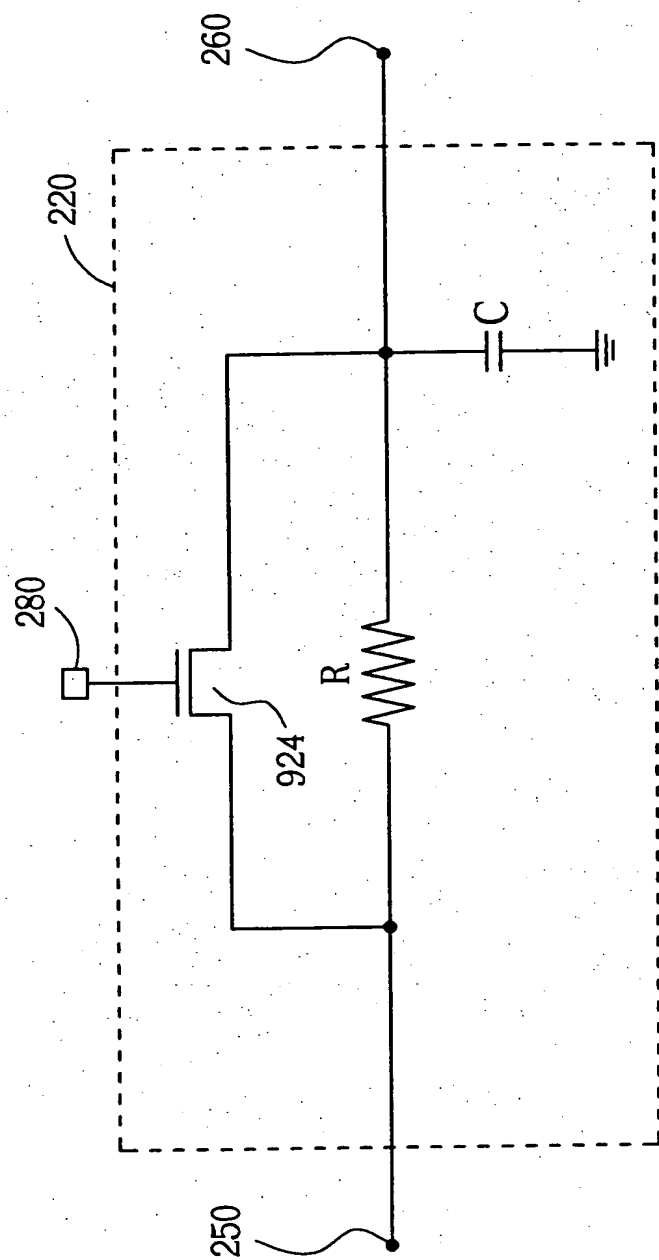
圖七



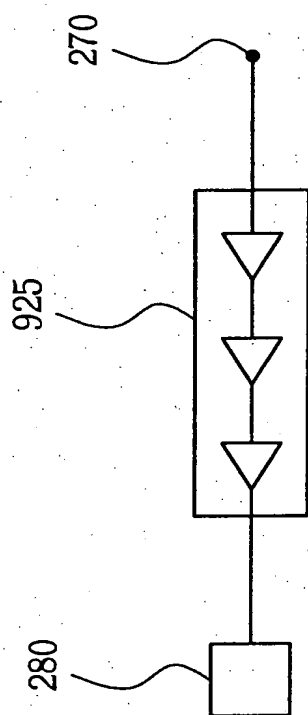
圖八



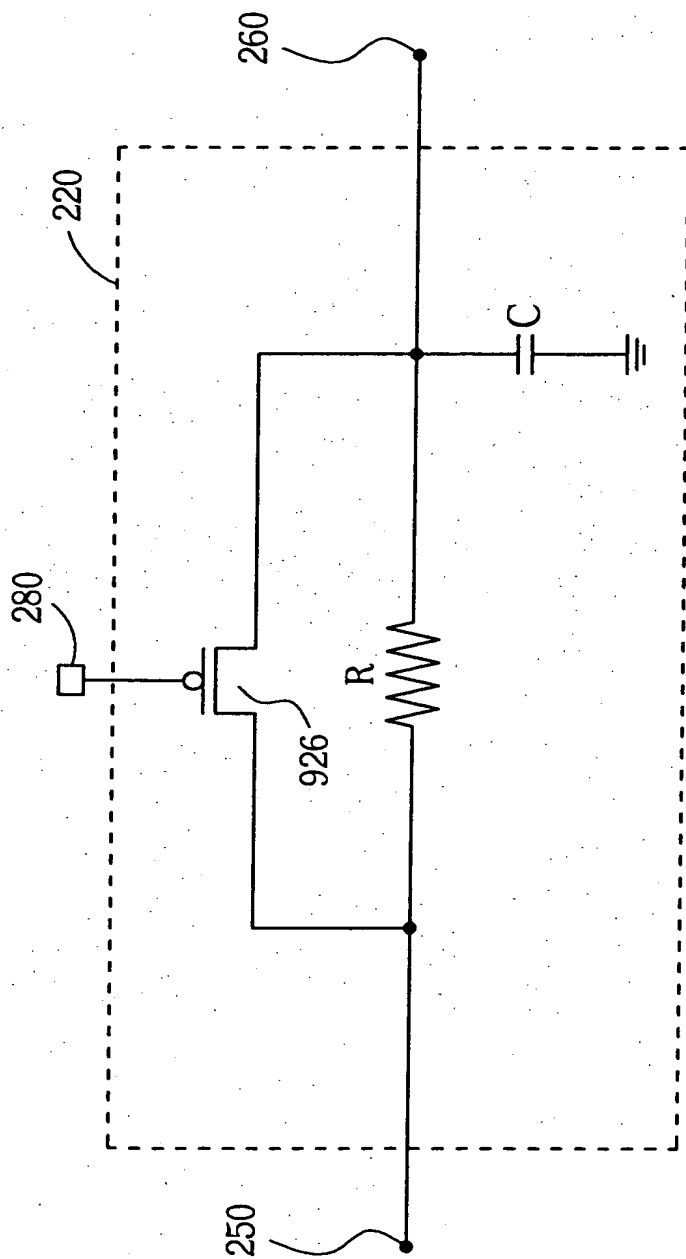
圖九



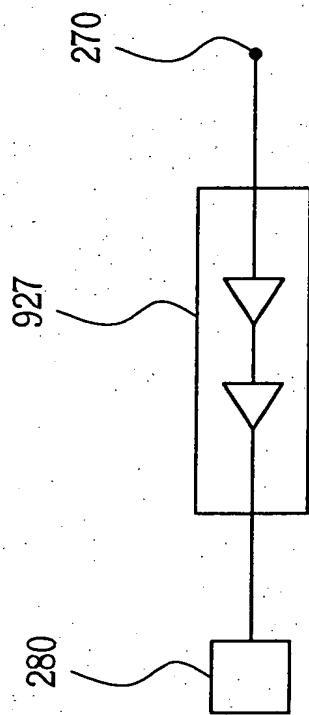
圖十



圖十一

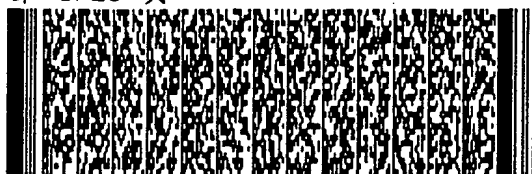


圖十二

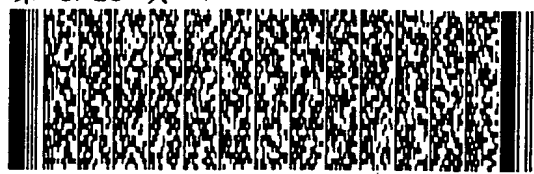


圖十三

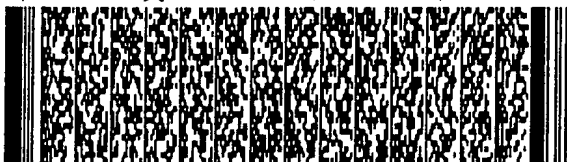
第 1/25 頁



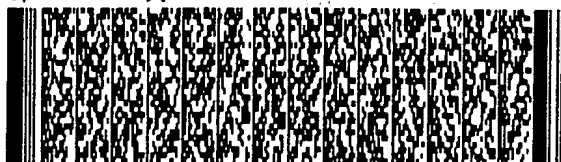
第 1/25 頁



第 2/25 頁



第 2/25 頁



第 3/25 頁



第 4/25 頁



第 5/25 頁



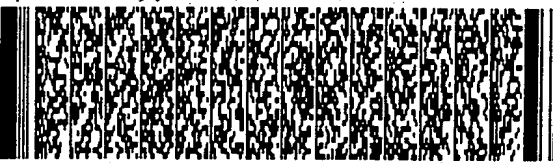
第 6/25 頁



第 6/25 頁



第 7/25 頁



第 7/25 頁



第 8/25 頁



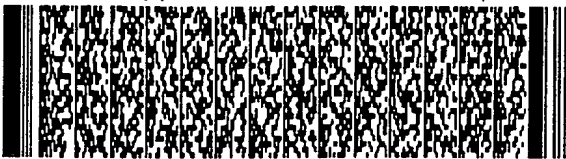
第 8/25 頁



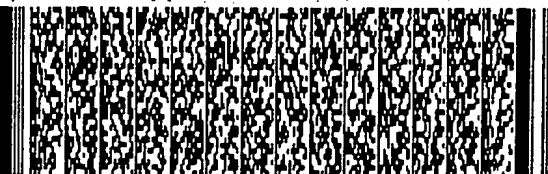
第 9/25 頁



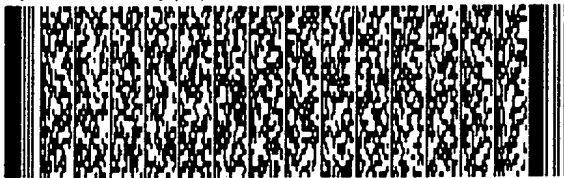
第 9/25 頁



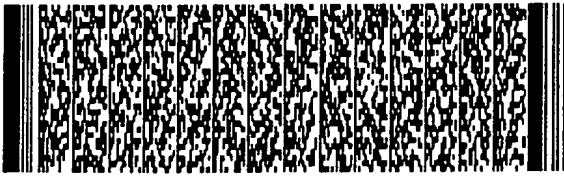
第 10/25 頁



第 10/25 頁



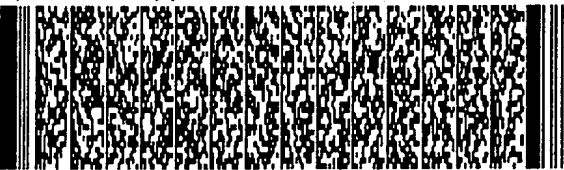
第 12/25 頁



第 13/25 頁



第 14/25 頁



第 15/25 頁



第 16/25 頁



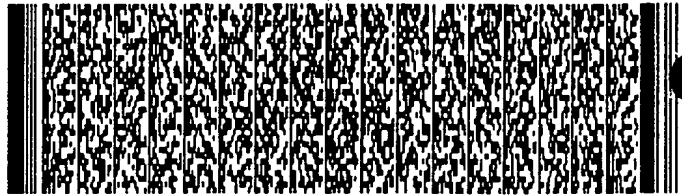
第 17/25 頁



第 19/25 頁



第 11/25 頁



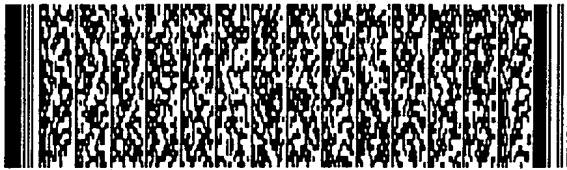
第 12/25 頁



第 13/25 頁



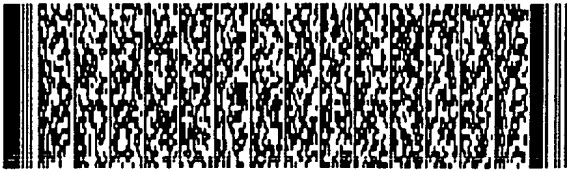
第 14/25 頁



第 15/25 頁



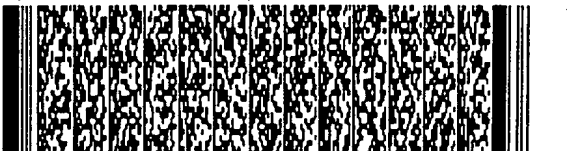
第 16/25 頁



第 18/25 頁



第 20/25 頁



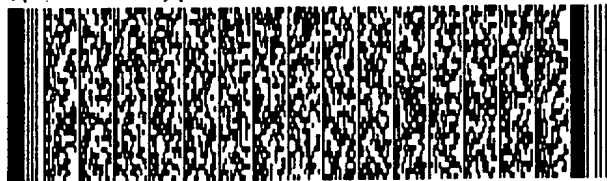
第 20/25 頁



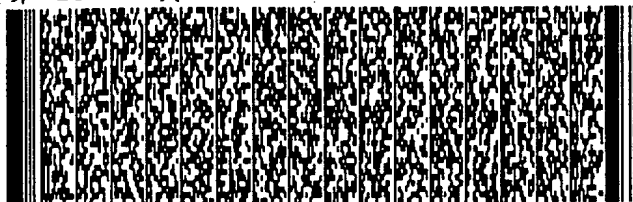
第 21/25 頁



第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

